

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-324397

(43)Date of publication of application : 24.11.2000

(51)Int.Cl.

H04N 5/335
H01L 27/146

(21)Application number : 11-131650

(71)Applicant : SONY CORP

(22)Date of filing : 12.05.1999

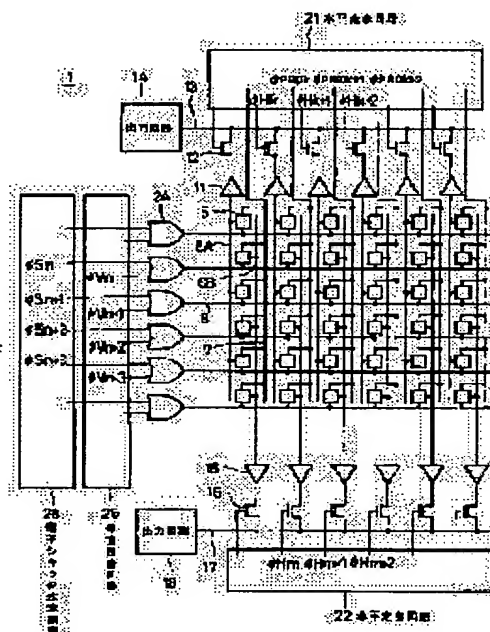
(72)Inventor : SUZUKI RYOJI
YONEMOTO KAZUYA

(54) SOLID-STATE IMAGE PICKUP ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance the sensitivity by reducing a load capacitance of signal lines in a solid-state image pickup element having passive type pixels.

SOLUTION: In the solid-state image pickup element, a plurality of pixels 5 are arranged in a matrix shape, a plurality of vertical signal lines 6A, 6B connected to amplifier means 11, 15 are placed to each pixel column and pixels 5 in a different columnar direction in each pixel array at an interval of one or of a plurality are connected to each of the vertical signal lines 6A, 6B. Thus, the load capacitance of the signal lines (vertical or horizontal signal lines) can be reduced, output amplitude in the case of reading the same signal charge can be increased so as to enhance the S/N in the amplifier means connected to the signal lines.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

27

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-324397

(P 2 0 0 0 - 3 2 4 3 9 7 A)

(43)公開日 平成12年11月24日(2000.11.24)

(51)Int. Cl. 7

識別記号

F I

テラト* (参考)

H 0 4 N 5/335

H 0 4 N 5/335

E 4M118

H 0 1 L 27/146

H 0 1 L 27/14

P 5C024

A

審査請求 未請求 請求項の数4 OL (全 12 頁)

(21)出願番号

特願平11-131650

(22)出願日

平成11年5月12日(1999. 5. 12)

(71)出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者

鈴木 亮司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者

米本 和也

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人

100080883

弁理士 松隈 秀盛

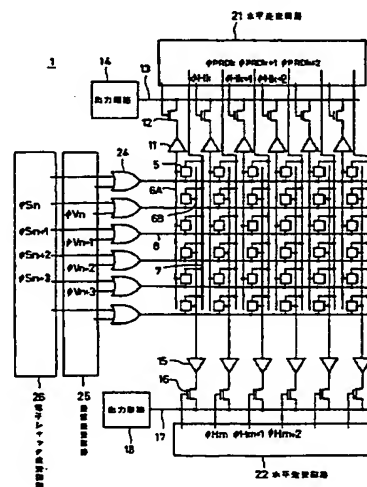
最終頁に続く

(54)【発明の名称】 固体撮像素子

(57)【要約】

【課題】 パッシブ型の画素を有する固体撮像素子において、信号線の負荷容量を減らし感度の向上を図る。

【解決手段】 複数の画素5が行列状に配列され、各画素列に、夫々増幅手段11、15を接続した複数の垂直信号線6A、6Bが配され、各垂直信号線6A、6Bの夫々に、各画素列の列方向の互に異なる1つ置き画素5又は複数置き画素5が接続されて成る。



FP03-0378
-00WO-HP
04.4.13
SEARCH REPORT

【特許請求の範囲】

【請求項1】 複数の画素が行列状に配列され、各画素列に、夫々増幅手段を接続した複数の垂直信号線が配され、

前記各垂直信号線の夫々に前記各画素列の列方向の互に異なる1つ置き画素、又は複数置き画素が接続されて成ることを特徴とする固体撮像素子。

【請求項2】 前記複数の垂直信号線を通して、1画素行毎、又は複数画素行毎に画素信号を読み出すようにして成ることを特徴とする請求項1に記載の固体撮像素子。

【請求項3】 複数の画素が行列状に配列され、各画素行に、夫々増幅手段を接続した複数の水平信号線が配され、

前記各水平信号線の夫々に、前記画素行の行方向の互に異なる1つ置き画素又は複数置き画素が接続されて成ることを特徴とする固体撮像素子。

【請求項4】 前記複数の水平信号線を通して1画素行毎に画素信号を読み出すようにして成ることを特徴とする請求項3に記載の固体撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、固体撮像素子、特にMOS型又はCMOS型の固体撮像素子に関する。

【0002】

【従来の技術】 画素に増幅機能を有さない、いわゆるパッシブ (Passive) 型の画素を有したMOS型又はCMOS型の固体撮像素子が開発されている。この固体撮像素子は、各単位画素が光電変換と電荷蓄積を兼ねたフォトダイオードによるセンサ部とセンサ部から信号線に電荷を読み出すためのスイッチ素子（いわゆる読み出し用スイッチトランジスタ）を有して構成され、光電変換により蓄積された信号電荷を信号線に読み出して増幅手段を介して電圧又は電流に変換して出力するように構成される。

【0003】 MOS型あるいはCMOS型の固体撮像素子では、例えば画素の選択を行うスイッチング素子や、信号電荷を読み出すスイッチング素子に、MOSトランジスタあるいはCMOSTランジスタが用いられ、また、水平走査回路、垂直走査回路等の周辺回路にMOSトランジスタあるいはCMOSTランジスタが用いられる。

【0004】 パッシブ型の画素構造の長所としては、画素を構成する素子数が少ないため、センサ部を構成するフォトダイオードの面積を大きくし開口率を上げることができ、画素の蓄積電荷数が大きく取れること等が挙げられる。

【0005】

【発明が解決しようとする課題】 一方、このパッシブ型の画素構造の短所としては、電荷を信号線に読み出すた

め、信号線の負荷容量、即ち、画素の拡散領域と信号線とのコンタクト部自体の容量、配線間の容量及び増幅手段の容量等によって、読み出した電荷による出力振幅（いわゆる電位変動）が小さくなり、増幅手段によるS/N比が稼げず、感度の向上が図りにくい。

【0006】 本発明は、上述の点に鑑み、いわゆるパッシブ型の画素を有する固体撮像素子において、信号線の負荷容量を低減し、感度の向上を図った固体撮像素子を提供するものである。

10 【0007】

【課題を解決するための手段】 本発明に係る固体撮像素子は、複数の画素が行列状に配列され、各画素列又は各画素行に、夫々増幅手段を接続した複数の信号線が配され、各信号線の夫々に、各画素列の列方向又は各画素行の行方向の互に異なる1つ置き画素又は複数置き画素が接続された構成とする。

【0008】 この固体撮像素子においては、各画素列又は各画素行に夫々増幅手段が接続された複数の信号線を設けることで、1本の信号線に接続される画素数が少なくなつて1本の信号線の負荷容量が減り、読み出した電荷による出力振幅が大きくなる。また、駆動周波数が下がり、増幅手段で発生するノイズが低減する。

20 【0009】

【発明の実施の形態】 本発明に係る固体撮像素子は、単位画素が光電変換と電荷蓄積を兼ねるフォトダイオードによるセンサ部と読み出しスイッチング素子を少なくとも有して構成され、この複数の画素が行列状に配列され、各画素列に、夫々増幅手段を接続した垂直信号線が配され、各垂直信号線の夫々に各画素列の列方向の互に異なる1つ置き画素、又は複数置き画素を接続した構成とする。

30 【0010】 本発明は、上記固体撮像素子において、その複数の垂直信号線を通して、1画素行毎、又は複数画素行毎に画素信号を読み出すようにした構成とする。

【0011】 本発明に係る固体撮像素子は、単位画素が光電変換と電荷蓄積を兼ねるフォトダイオードによるセンサ部と読み出しスイッチング素子を少なくとも有して構成され、この複数の画素が行列状に配列され、各画素行に夫々増幅手段を接続した複数の水平信号線が配され、各水平信号線の夫々に画素行の行方向の互に異なる1つ置き画素又は複数置き画素を接続した構成とする。

40 【0012】 本発明は、上記固体撮像素子において、その複数の水平信号線を通して1画素行毎に画素信号を読み出すようにした構成とする。

【0013】 図1は、本発明の一実施の形態に係るCMOS型あるいはMOS型の固体撮像素子の構成を示す。この固体撮像素子1は、光電変換と電荷蓄積を兼ねるフォトダイオードによるセンサ部2と画素を選択する垂直選択用スイッチ素子（例えばMOSトランジスタ）3と

読み出し用スイッチ素子（例えばMOSトランジスタ）4とによって構成された単位画素（図2参照）5がマトリックス状（行列状）に複数配列されて成る。

【0014】各単位画素5では、図2に示すように、読み出し用スイッチ素子4の一方の主電極がセンサ部、即ちフォトダイオード2に接続され、その他方の主電極が垂直信号線6に接続される。また、垂直選択用スイッチ素子3の一方の主電極が読み出し用スイッチ素子4の制御電極（いわゆるゲート電極）に接続され、その他方の主電極が読み出しパルス線7に接続され、その制御電極（いわゆるゲート電極）が垂直選択線8に接続される。

【0015】本実施の形態では、特に、マトリックス状に配列された画素5の各画素列毎に2本の垂直信号線6（6A、6B）が配され、これら垂直信号線6A及び6Bの夫々に、列方向に配列された画素5が交互に接続される。即ち、一方の垂直信号線6Aに列方向に配列された複数の画素のうち、一方の1つ置き画素（即ち、奇数番目に対応する画素）の組が接続され、他方の垂直信号線6Bに他方の1つ置き画素（即ち、例えば偶数番目に対応する画素）の組が接続される。

【0016】そして、いわゆる奇数行に対応する画素に接続された各垂直信号線6Aの夫々が、画素領域の例えば上辺外側に配置された第1の増幅器、いわゆるカラムアンプ（Column Amp）11に接続され、各カラムアンプ11の出力端が第1の水平選択スイッチ素子（例えばMOSトランジスタ）12を介して第1の水平信号線13に接続される。水平信号線13の端部には第1の出力回路14が接続される。

【0017】また、いわゆる偶数行に対応する画素に接続された各垂直信号線6Bの夫々が、画素領域の例えば下辺外側に配置された第2の増幅器、いわゆるカラムアンプ15に接続され、各カラムアンプ15の出力端が第2の水平選択スイッチ素子（例えばMOSトランジスタ）16を介して第2の水平信号線17に接続される。第2の水平信号線17の端部には第2の出力回路18が接続される。

【0018】読み出しパルス線7は、各画素列毎に1本づつ配され、列方向の全ての画素が読み出しパルス線7に接続される。

【0019】第1及び第2の水平信号線13及び17に対応して、夫々第1の水平走査回路21及び第2の水平走査回路22が設けられる。第1の水平走査回路21からは、各第1の水平選択スイッチ素子12の制御電極（いわゆるゲート電極）に水平走査パルス ϕ_{HK} （ $\dots, \phi_{Hk}, \phi_{Hk+1}, \phi_{Hk+2}, \dots$ ）が供給されると共に、各読み出しパルス線7に水平読み出しパルス ϕ_{PRD} （ $\phi_{PRD1}, \phi_{PRD2}, \dots, \phi_{PRDi}, \phi_{PRDi+1}, \phi_{PRDi+2}, \dots$ ）が供給される。第2の水平走査回路22からは、各第2の水平選択スイッチ素子16の制御電極（いわゆるゲート電極）に水平走査

パルス ϕ_{HM} （ $\dots, \phi_{Hm}, \phi_{Hm+1}, \phi_{Hm+2}, \dots$ ）が供給される。

【0020】一方、各画素行には夫々垂直選択線8が配され、各垂直選択線8は対応する画素行の行方向に配列された全ての画素に接続される。各垂直選択線8は夫々オア回路24を介して垂直走査回路25及び電子シャッタ走査回路26に接続される。

【0021】即ち、オア回路24の第1の入力端に垂直走査回路25が接続され、その第2の入力端に電子シャッタ走査回路26が接続され、オア回路24の出力端が垂直選択線8に接続される。

【0022】垂直走査回路25からは、各垂直選択線8に垂直走査パルス ϕ_V （ $\phi_{V1}, \dots, \phi_{Vn}, \phi_{Vn+1}, \phi_{Vn+2}, \dots$ ）が供給され、電子シャッタ走査回路26からは、各垂直選択線8に電子シャッタ走査パルス ϕ_S （ $\phi_{S1}, \dots, \phi_{Sn}, \phi_{Sn+1}, \phi_{Sn+2}, \dots$ ）が供給される。

【0023】なお、図示せざるも、垂直信号線6A、6Bの電位をリセットするためのリセット用スイッチ素子（例えばMOSトランジスタ）が設けられる。

【0024】この固体撮像素子1の動作を図3のタイミングチャートを用いて説明する。垂直走査回路25から例えば垂直走査パルス ϕ_V が供給されると、n行の画素が選択され、この垂直走査パルス ϕ_V と第1の水平走査回路21からの読み出しパルス ϕ_{PRD} （ $\phi_{PRD1}, \dots, \phi_{PRDi}, \phi_{PRDi+1}, \dots$ ）を受けたn行の垂直選択用スイッチ素子3の制御電極が、順次それらのパルス ϕ_V, ϕ_{PRD} の積のパルスで制御され、n行のフォトダイオード2で光電変換された信号電荷が順次一方の垂直信号線6Bに読み出される。

【0025】このn行の信号電荷は、水平映像期間中に、第2のカラムアンプ15を通り信号電圧に変換され、第2の水平走査回路22からの水平走査パルス ϕ_{HM} （ $\dots, \phi_{Hm}, \phi_{Hm+1}, \dots$ ）により制御された水平選択スイッチ素子16を通して第2の水平信号線17に出て、これに接続された第2の出力回路18により出力される。

【0026】次に、垂直走査回路25から次の垂直走査パルス ϕ_{Vn+1} が供給されると、n+1行の画素が選択され、この垂直走査パルス ϕ_{Vn+1} と第1の水平走査回路21からの読み出しパルス ϕ_{PRD} （ $\phi_{PRD1}, \dots, \phi_{PRDi}, \phi_{PRDi+1}, \phi_{PRDi+2}, \dots$ ）を受けたn+1行の垂直選択用スイッチ素子3の制御電極が、順次それらのパルス ϕ_{Vn+1}, ϕ_{PRD} の積のパルスで制御され、n+1行のフォトダイオード2で光電変換された信号電荷が順次他方の垂直信号線6Aに読み出される。

【0027】このn+1行の画素の信号電荷は、次の水平映像期間中に、第1のカラムアンプ11を通り信号電圧に変換され、第1の水平走査回路21からの水平走査

パルス ϕ_{HK} 〔 \dots , ϕ_{H_i} , $\phi_{H_{i+1}}$, \dots 〕により制御された水平選択スイッチ素子12を通して第1の水平信号線13に出て、これに接続された第1の出力回路14より出力される。以後、順次偶数行、奇数行のフォトダイオード2の信号電荷が夫々の垂直信号線6B及び6A、カラムアンプ15及び11、水平信号線17及び13を通過して交互に出力される。

【0028】一方、電子シャッタは次のように行われる。例えば偶数行である n 行目の垂直走査パルス ϕ_{Vn} が立ち上がり、それと同期して読み出しパルス ϕ_{PRD} 及び水平走査パルス ϕ_{HK} が立ち上がると、 n 行目の画素の信号電荷が第2の垂直信号線6Bに読み出され、第2のカラムアンプ15で電圧変換され、水平選択スイッチ16、第2の水平信号線17及び第2の出力回路を通過して映像信号として出力される。

【0029】この n 行目の画素の読み出時に之に同期して、電子シャッタ走査回路26からは例えば奇数行である $n+1$ 行目の電子シャッタ走査パルス $\phi_{S_{n+1}}$

(即ち、読み出しパルス ϕ_{PRD_i} , $\phi_{PRD_{i+1}}$, $\phi_{PRD_{i+2}}$, \dots に同期した複数のパルスからなる)が立ち上がり、この電子シャッタパルス $\phi_{S_{n+1}}$ の各パルスと読み出しパルス ϕ_{PRD_i} , $\phi_{PRD_{i+1}}$, $\phi_{PRD_{i+2}}$, \dots の各積のパルスで $n+1$ 行目(奇数行目)の垂直選択用スイッチ素子3が制御され、 $n+1$ 行目のフォトダイオード2にこの時点まで蓄積された信号電荷が第1の垂直信号線6Aを通り、第1のカラムアンプ11に吸収され、即ち第1のカラムアンプ11に電位を与える例えば電源側に吸収され、排出される。

【0030】次の奇数行である $n+1$ 行目の画素の信号電荷を読み出しているときには、偶数行である $n+1+2$ 行目の画素の信号電荷が第1の垂直信号線6Aに読み出され、第2のカラムアンプ15にて同様に吸収され排出されることになる。この電子シャッタ動作による信号電荷の蓄積時間 T_i は $T_i = 1$ 水平走査期間 $\times i$ となる。

【0031】本実施の形態に係る固体撮像素子1によれば、マトリックス状に配列された画素の各1列の画素の $1/2$ が、各垂直信号線6A及び6Bに接続されることにより、1本の垂直信号線6の負荷容量を半分近くに減らすことができる。実際は配線容量、カラムアンプでの容量等があるので、上記負荷容量を $1/2$ までには減少することができない。

【0032】従って、式 $V=Q/C$ 〔但し、 V は電圧、 Q は電荷、 C は容量〕から明らかな様に、読み出された電荷による出力振幅を大きく取ることができ、カラムアンプ11及び15によるSN比が向上することができる。よって感度の向上を図ることができる。

【0033】図4は、本発明の他の実施の形態に係るCMOS型あるいはMOS型の固体撮像素子の構成を示す。この固体撮像素子31は、前述と同様に、図2に示

すフォトダイオードによるセンサ部2と垂直選択用スイッチ素子3と読み出し用スイッチ素子4とによって構成された単位画素5がマトリックス状(行列状)に複数配列され、各画素列に2本の垂直信号線6〔6A, 6B〕が配され、これら垂直信号線6A及び6Bの夫々に列方向に配列された画素5が前述と同様に交互に接続される。

【0034】本実施の形態においては、特に、各画素列に対応する2本の垂直信号線6A及び6Bの夫々に第1及び第2のカラムアンプ11及び15が接続されると共に、夫々のカラムアンプ11及び15の出力端が夫々第1の水平選択スイッチ12及び第2の水平選択スイッチ16を介して第1及び第2の水平信号線13及び17に接続される。第1の水平信号線13の端部には第1の出力回路14が接続され、第2の水平信号線17の端部には第2の出力回路18が接続される。

【0035】さらに、各画素列に対応した第1及び第2の水平選択スイッチ素子12及び16の制御電極(いわゆるゲート電極)が互に共通接続され、之等第1及び第2の水平選択スイッチ素子12及び16の制御電極に水平走査回路21からの水平走査パルス ϕ_{HK} 〔 \dots , ϕ_{H_i} , $\phi_{H_{i+1}}$, $\phi_{H_{i+2}}$, \dots 〕が同時に供給されるように構成される。

【0036】読み出しパルス線7は、各画素列毎に1本ずつ配され、列方向に配列された画素の全てが読み出しパルス線7に接続される。各読み出しパルス線7には、水平走査回路21から読み出しパルス ϕ_{PRD} 〔 \dots , ϕ_{PRD_i} , $\phi_{PRD_{i+1}}$, $\phi_{PRD_{i+2}}$, \dots 〕が供給される。

【0037】各画素行には、垂直選択線8が配され、この各垂直選択線8が対応する画素行の行方向に配列された全ての画素に接続される。各垂直選択線8は、垂直走査回路25に接続され、この垂直走査回路25から垂直走査パルス ϕ_V 〔 ϕ_{V_1} , \dots , ϕ_{V_n} , $\phi_{V_{n+1}}$, $\phi_{V_{n+2}}$, \dots 〕が供給される。

【0038】この固体撮像素子31の動作を図5のタイミングチャートを用いて説明する。垂直走査回路25から2画素行に対応する垂直走査パルス、例えば垂直走査パルス ϕ_{V_i} と $\phi_{V_{i+1}}$ が同時に垂直選択線7に供給されて n 行及び $n+1$ 行の2つの画素行が同時に選択される。

【0039】 n 行の画素では、この垂直走査パルス ϕ_V と水平走査回路からの読み出しパルス ϕ_{PRD} 〔 ϕ_{PRD_i} , \dots , ϕ_{PRD_i} , $\phi_{PRD_{i+1}}$, \dots 〕の積のパルスで n 行の垂直選択用スイッチ素子3が制御されて n 行のフォトダイオード2の信号電荷が順次一方の垂直信号線6Bに読み出される。 $n+1$ 行の画素では、垂直走査パルス $\phi_{V_{i+1}}$ と読み出しパルス ϕ_{PRD} 〔 ϕ_{PRD_i} , \dots , ϕ_{PRD_i} , $\phi_{PRD_{i+1}}$, \dots 〕の積のパルスで $n+1$ 行の垂直選択用スイッチ素子3が制御

されて、 $n+1$ 行のフォトダイオード2の信号電荷が順次他方の垂直信号線6Aに読み出される。

【0040】一方、水平走査回路21からの読み出し走査パルス ϕ_{HK} ($\phi_{H1}, \dots, \phi_{Hk}, \phi_{Hk+1}, \dots$)によって、各画素列の2つの水平選択スイッチ素子12及び16が同時に制御される。これによって、 n 行(偶数行)と $n+1$ 行(奇数行)の信号電荷は、夫々カラムアンプ11及び15で電圧変換され、水平選択スイッチ素子12、16及び第1、第2の水平信号線13、17を通り、夫々の第1、第2の出力回路14、18より出力される。即ち、隣り合う2行の画素が同時に読み出される。以後、同様にして順次2画素行毎の信号が出力される。

【0041】本実施の形態に係る固体撮像素子31によれば、偶数、奇数の2行の画素信号を夫々第1及び第2の垂直信号線を通して同時に読み出すことにより、駆動パルス($\phi_V, \phi_{HK}, \phi_{PRD}$ の全て)が1行毎に読み出す場合と同じクロック周波数であれば2倍速で読み出すことができ、高速読み出しに有利となる。

【0042】また、1行毎に読み出す場合と同じ読み出し速度とすれば、駆動パルス($\phi_V, \phi_{HK}, \phi_{PRD}$ の全て)は $1/2$ のクロック周波数になるため、カラムアンプ11、15の f 特を下げることができ、カラムアンプ11、15で発生するノイズを低減することができる。

【0043】同時に、1本の垂直信号線6A及び6Bの負荷容量を半分近くに減らすことができるので、読み出し電荷による出力振幅を大きく取ることができ、カラムアンプ11及び15によるSN比を向上することができる。従って、感度の向上を図ることができる。

【0044】図6は、本発明の他の実施の形態に係るCMOS型あるいはMOS型の固体撮像素子の構成を示す。この固体撮像素子41は、前述と同様にフォトダイオードによるセンサ部2と垂直選択用スイッチ素子3と読み出し用スイッチ素子4とによって構成された単位画素(図7参照)5がマトリックス状(行列状)に複数配列されて成る。

【0045】各単位画素5では、図7に示すように、読み出しスイッチ素子4の一方の主電極がセンサ部であるフォトダイオード2に接続され、その他方の主電極が水平信号線42に接続される。また、垂直選択用スイッチ素子3の一方の主電極が読み出し用スイッチ素子4の制御電極(いわゆるゲート電極)に接続され、その他方の主電極が読み出しパルス線7に接続され、その制御電極(いわゆるゲート電極)が垂直選択線8に接続される。

【0046】本実施の形態では、特に、マトリックス状に配列された画素5の各画素行毎に2本の水平信号線42(42A、42B)が配され、これら水平信号線42A及び42Bの夫々に、行方向に配列された画素5が交互に接続される。即ち、一方の水平信号線42Aに行方

向に配列された複数の画素5のうち、一方の1つ置き画素(即ち奇数番目に対応する画素)の組が接続され、他方の水平信号線42Bに他方の1つ置き画素(即ち偶数番目に対応する画素)の組が接続される。

【0047】これら第1及び第2水平信号線42A及び42Bの端部には、夫々第1及び第2の増幅器、いわゆるローアンプ(Row Amp)43及び44が接続され、さらに第1及び第2のローアンプ43及び44の夫々に第1及び第2の垂直選択スイッチ素子45及び46が接続される。全画素行の垂直選択スイッチ素子45及び46は共通の垂直信号線47に接続され、垂直信号線47の端部に出力回路48が接続される。

【0048】各画素行には、夫々垂直選択線8が配され、各垂直選択線8は対応する画素行の全ての画素に接続される。各垂直選択線8は、夫々オア回路24を介して垂直走査回路25及び電子シャッタ走査回路26に接続される。即ち、オア回路24の第1の入力端に垂直走査回路25が接続され、その第2の入力端に電子シャッタ走査回路26が接続され、オア回路24の出力端が垂直選択線8に接続される。

【0049】そして、各画素行の第1及び第2の水平信号線42A及び42Bにローアンプ43及び44を介して接続された第1及び第2の垂直選択スイッチ素子45及び46の制御電極(いわゆるゲート電極)が互に接続されて、その接続点が各行に対応する垂直走査回路25に接続される。

【0050】垂直走査回路25からは、各垂直選択線8に垂直走査パルス ϕ_V ($\phi_{V1}, \dots, \phi_{Vi}, \phi_{Vi+1}, \dots$)が供給され、電子シャッタ走査回路26からは、各垂直選択線8に電子シャッタ走査パルス ϕ_S ($\phi_{S1}, \dots, \phi_{Si}, \phi_{Si+1}, \dots$)が供給される。

【0051】一方、読み出しパルス線7は、各画素列毎に1本ずつ配され、列方向に配列された画素の全てが読み出しパルス線7に接続される。水平走査回路49が設けられ、水平走査回路49から各読み出しパルス線7に読み出しパルス ϕ_{PRD} ($\phi_{PRD1}, \dots, \phi_{PRDi}, \phi_{PRDi+1}, \dots$)が供給される。

【0052】この固体撮像素子41の動作を図8のタイミングチャートを用いて説明する。垂直走査回路25からオア回路24を通して順次各行の垂直選択線8に垂直走査パルス ϕ_V ($\phi_{V1}, \dots, \phi_{Vi}, \phi_{Vi+1}, \dots$)が供給されると共に、垂直走査回路25から直接第1及び第2の垂直選択スイッチ素子45及び46の制御電極に共通に垂直走査パルス ϕ_V ($\phi_{V1}, \dots, \phi_{Vi}, \phi_{Vi+1}, \dots$)が供給される。

【0053】今、 n 行の画素に垂直選択線8を通して垂直選択パルス ϕ_V が供給され、水平走査回路49から読み出しパルス ϕ_{PRD} ($\phi_{PRD1}, \dots, \phi_{PRDi}, \phi_{PRDi+1}, \dots$)が順次読み出しパルス線7

に供給されると、パルス ϕV_n と ϕPRD の積のパルスで n 行の画素5の垂直選択用スイッチ素子3が制御されて n 行のフォトダイオード2の信号電荷、即ち奇数番目に対応するフォトダイオード2の信号電荷が第1の水平信号線42Aに順次読み出され、偶数番目に対応するフォトダイオード2の信号電荷が第2の水平信号線42Bに順次読み出される。

【0054】また、垂直走査パルス ϕV_n が同時に第1及び第2の垂直選択スイッチ素子45及び46に供給されることにより、第1及び第2の水平信号線42A及び42Bに読み出された信号電荷は、順次第1のローアンプ43及び第2のローアンプ44によって電圧変換され、垂直選択スイッチ素子45及び46、垂直信号線47を通して出力回路48より出力信号として順次出力される。この動作が各画素行毎に順次繰り返される。

【0055】電子シャッタは次のように行われる。例えば n 行目の画素行の信号電荷を読み出しているとき、これに同期して電子シャッタ走査回路26から $n+i$ 行の垂直選択線8に電子シャッタ走査パルス ϕS_{n+i} が供給されてこの電子シャッタ走査パルス ϕS_{n+i} と読み出しパルス ϕPRD の積のパルスによって $n+i$ 行の画素5のそれまで蓄積されていた信号電荷が第1及び第2の水平信号線42A及び42Bに読み出され、ローアンプ43及び44の例えば電源を通して排出され、電子シャッタ動作が行われる。このときの電子シャッタ動作による信号電荷の蓄積時間 T_i は $T_i = 1$ 水平走査期間 $\times i$ となる。

【0056】本実施の形態に係る固体撮像素子41によれば、1画素行毎に2本の水平信号線42A及び42Bを設けて1画素行の信号電荷の読み出し時に、奇数番目と偶数番目の画素の信号電荷を交互に水平信号線42Aと42Bを通じて読み出すので、1本の水平信号線の負荷容量を半分近くに減らすことができる。これにより前述と同様に、読み出した信号電荷による出力振幅を大きく取ることができ、ローアンプによるSN比を向上することができる。

【0057】図9は、本発明のさらに他の実施の形態に係るCMOS型あるいはMOS型の固体撮像素子の構成を示す。この固体撮像素子51は、図6の構成において、奇数列用と偶数列用の2組の垂直信号線47₁及び47₂と出力回路48₁及び48₂を設け、各行の奇数番目の画素5に接続された第1の水平信号線42Aをローアンプ43及び第1の垂直選択スイッチ45を介して第1の垂直信号線47₁に接続し、各行の偶数番目の画素5に接続された第2の水平信号線42Bをローアンプ44及び第2の垂直選択スイッチ46を介して第2の垂直信号線47₂に接続して構成される。その他の構成は、図6と同様であるので、対応する部分に同一符号を付して重複説明を省略する。

【0058】この固体撮像素子51では、駆動パルス ϕ

$V[\cdots \phi V_n, \phi V_{n+1}, \phi V_{n+2}, \cdots]$ 及び $\phi S[\cdots, \phi S_{n+1}, \phi S_{n+1+1}, \phi S_{n+1+2}, \cdots]$ は前述の図8と同様とするも、駆動パルス ϕPRD に関しては、 ϕPRD_k と ϕPRD_{k+1} 、 ϕPRD_{k+2} と ϕPRD_{k+3} 、 \cdots に同じパルスを入れて、第1及び第2の出力回路48₁及び48₂を通じて水平方向の隣り合う2画素ずつの信号を同時に読み出すようになる。

【0059】この構成によれば、駆動パルス ϕV 、 ϕPRD 及び ϕS の駆動周波数を下げることができ、本例では $1/2$ に下げることができ、ローアンプで発生するノイズを抑えることができる。その他、図6で説明したと同様の効果が得られる。

【0060】上述の図4及び図9の方式の固体撮像素子では2画素ずつ同時に読み出すことが可能である。その際、図4の例では上下隣り合った2水平ラインを同時に読み出すことになるので、元の信号に戻す場合は、1水平走査期間（いわゆる1H期間）分の遅延をさせることになる。図9の例では、左右に隣り合った2画素を同時に読み出すので、元の信号に戻す場合は、1ビット分の遅延をさせる事になる。一方、マトリックス配列された画素を上下2分割し、垂直信号線を上下に2分割して夫々カラムアンプに接続して、上領域の画素と下領域の画素を夫々のカラムアンプを通して読み出す方式も考えられる。この画素上下2分割方式の固体撮像素子では、2画素を同時に読み出すことが可能であるが、元の信号にする場合には $1/2$ フィールド分遅延させることが必要になる。また動いている物体を撮像する際には画面の中央で $1/2$ フィールド分の時差が生じるので不自然な画像となる。本発明の図4及び図9の固体撮像素子では、このような不都合は生じない。

【0061】尚、図1の実施の形態では、各画素列に2本の垂直信号線を配し、列方向の画素を2本の垂直信号線に交互に振り分けて接続し、各垂直信号線に対して夫々カラムアンプ、水平選択スイッチ素子、水平走査回路、水平信号線及び出力回路を設けた構成としたが、その他、各画素列に3本以上の複数の垂直信号線を配し、列方向の画素を垂直信号線の数に応じて複数置ききの画素の組に分けて、各組の画素を対応する垂直信号線に接続し、各垂直信号線に対して夫々カラムアンプ、水平選択スイッチ素子、水平信号線、出力回路及び水平走査回路を設けた構成とすることもできる。この構成とすることにより、更に1本の垂直信号線の負荷容量を低減し、カラムアンプによるSN比の向上が図れる。

【0062】また、図4の実施の形態では、各画素列に2本の垂直信号線を配し、2行の画素の信号電荷を同時に読み出すように構成したが、その他、各画素列に3本以上の複数の垂直信号線を配し、列方向の画素を垂直信号線の数に応じて複数置ききの画素の組に分けて、各組の画素を対応する垂直信号線に接続し、同様に構成し、即ち、夫々の垂直信号線にカラムアンプ、水平選択スイッ

チ素子、水平信号線を接続し、各水平選択スイッチ素子のゲート電極同士を接続して之に読み出しパルスを供給するようにして、3行以上の複数行の画素の信号電荷を同時に読み出すように構成することもできる。

【0063】さらに、図6の実施の形態では、各画素行に2本の水平信号線を配し、各水平信号線に行方向の画素を交互に振り分けて接続するように構成したが、その他、各画素行に3本以上の複数の水平信号線を配し、行方向の画素を水平信号線の数に応じて複数置き画素の組に分けて、各組の画素を対応する水平信号線に接続し、各水平信号線に対して夫々ローアンプ及び垂直選択スイッチ素子を接続し、各垂直選択スイッチ素子のゲート電極を共通接続してこれに垂直走査パルスを供給するように構成することもできる。

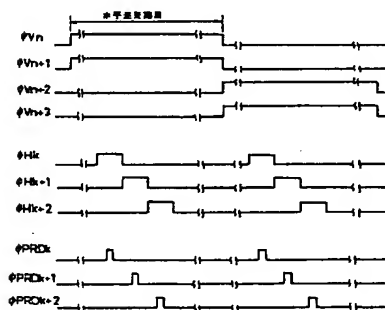
【0064】また、図9の実施の形態においても、各画素行に3本以上の複数の水平信号線を配し、且つこれに対応して3本以上の複数の垂直信号線を配置して、一行の隣接する複数画素を同時に読み出すように構成することも可能である。

【0065】

【発明の効果】本発明に係る固体撮像素子によれば信号線（垂直信号線又は水平信号線）の負荷容量を下げることで、同じ信号電荷を読み出した場合の出力振幅を大きくすることができ、信号線に接続された増幅手段におけるSN比を向上することができる。従って、感度の向上を図ることができる。

【0066】また、駆動周波数を下げることが可能となり、増幅手段で発生するノイズを抑えることができる。さらに高速読み出しも可能にする。

【図5】



【図面の簡単な説明】

【図1】本発明に係る固体撮像素子の一実施の形態を示す構成図である。

【図2】図1の単位画素の構成図である。

【図3】図1の固体撮像素子の駆動パルスのタイミングチャートである。

【図4】本発明に係る固体撮像素子の他の実施の形態を示す構成図である。

【図5】図4の固体撮像素子の駆動パルスのタイミングチャートである。

【図6】本発明に係る固体撮像素子の他の実施の形態を示す構成図である。

【図7】図6の単位画素の構成図である。

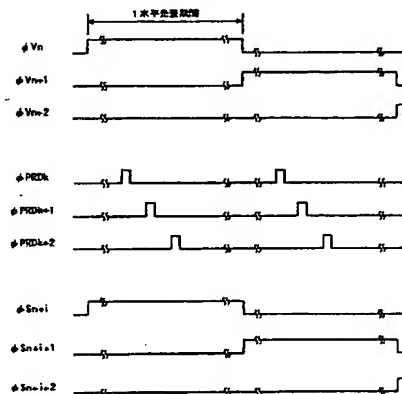
【図8】図6の固体撮像素子の駆動パルスのタイミングチャートである。

【図9】本発明に係る固体撮像素子の他の実施の形態を示す構成図である。

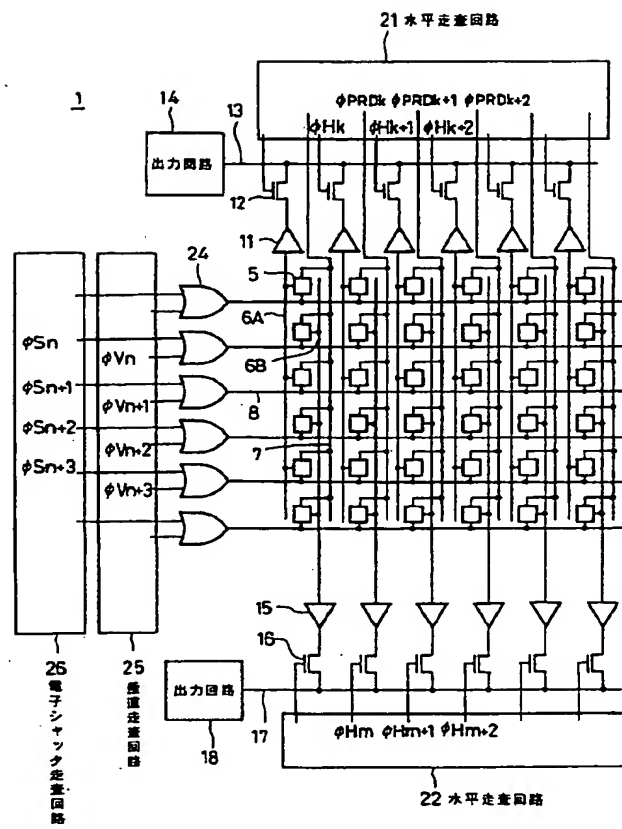
【符号の説明】

1, 31, 41, 51……固体撮像素子、2……センサ部（フォトダイオード）、3……垂直選択用スイッチ素子、4……読み出し用スイッチ素子、5……単位画素、6〔6A, 6B〕, 47……垂直信号線、7……読み出しパルス線、8……垂直選択線、11, 15……カラムアンプ、12, 16, 45, 46……垂直選択スイッチ素子、13, 17, 42〔42A, 42B〕……水平信号線、14, 18, 48……出力回路、21, 22, 49……水平走査回路、25……垂直走査回路、26……電子シャッタ走査回路

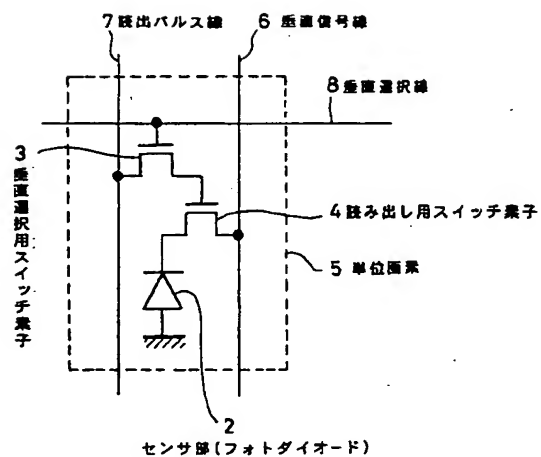
【図8】



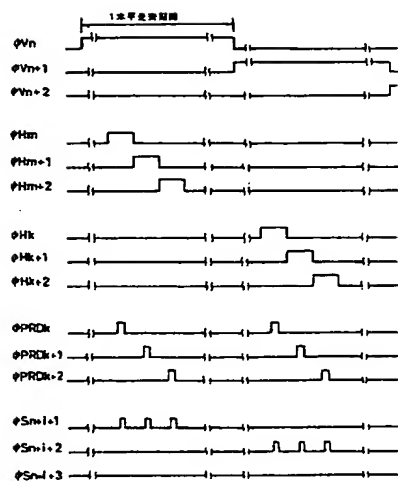
【図1】



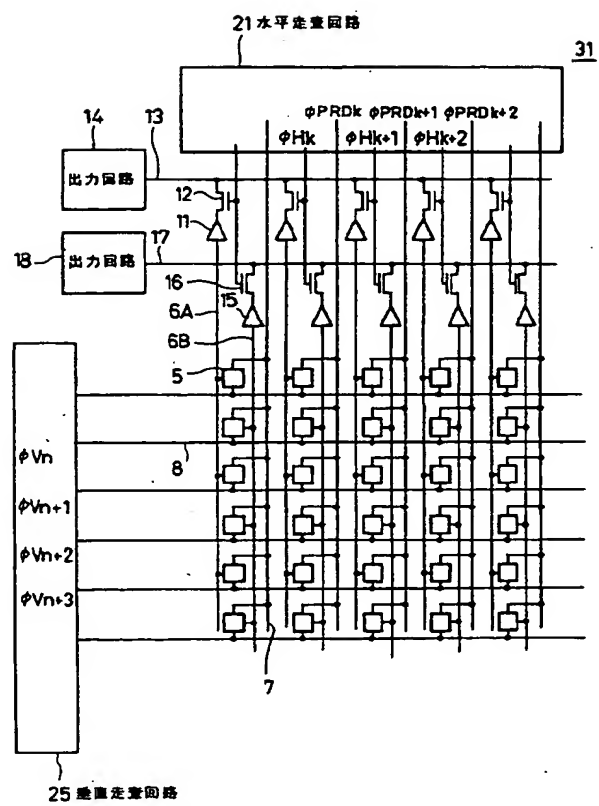
【図2】



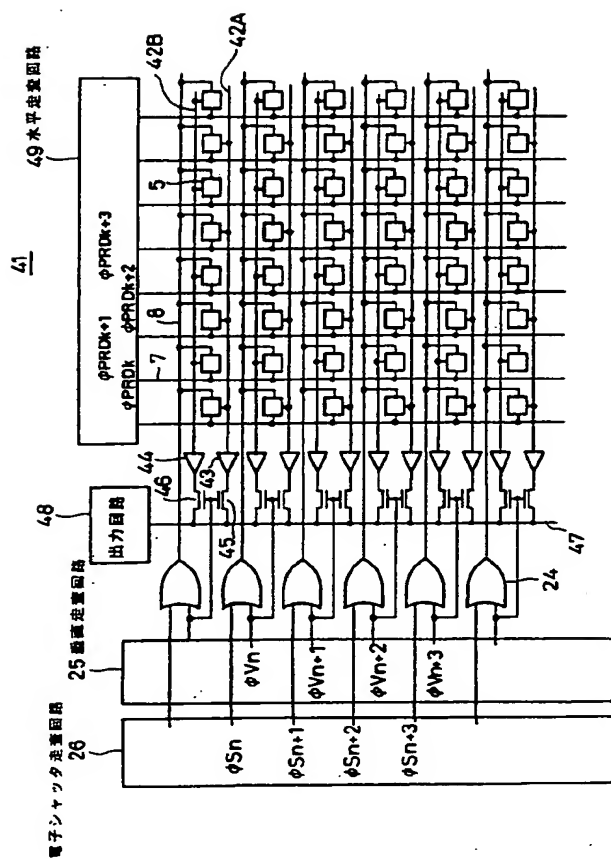
【図3】



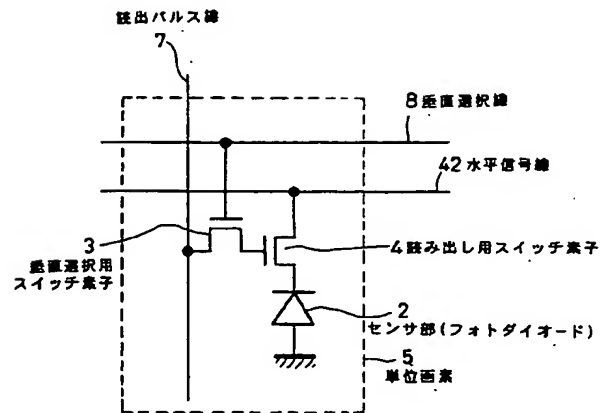
【図4】



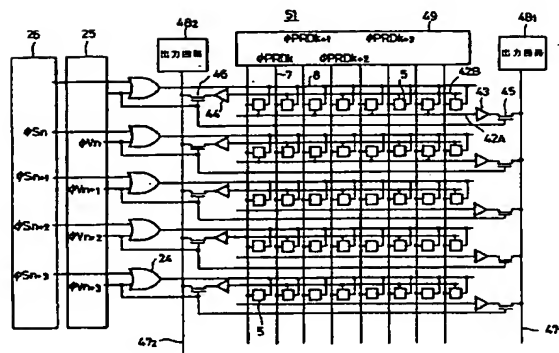
【図6】



【図7】



【図9】



フロントページの続き

Fターム(参考) 4M118 AA01 AA05 AB01 BA14 CA02
DB01 DD12 FA06 FA22 FA33
5C024 CA12 FA01 FA11 GA01 GA20
GA31 GA45 HA09 JA08 JA11
JA31